



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ H01J 1/30 (11) 공개번호 특2001-0011136
(43) 공개일자 2001년02월15일

(21) 출원번호 10-1999-0030373
(22) 출원일자 1999년07월26일
(71) 출원인 한국전자통신연구원 정선종
대전 유성구 가정동 161번지
(72) 발명자 최성율
대전광역시유성구신성동160-1한울아파트102-603
백문철
대전광역시유성구어은동99한빛아파트130-106
조경익
대전광역시유성구어은동한빛아파트119-1201호
허진
대전광역시유성구봉명동557-23
한기평
대전광역시중구오류동삼성아파트21-908
(74) 대리인 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허법인 신성 박정후, 특허법인 신성 정지원

심사청구 : 있음

(54) 나노구조를 에미터로 사용한 삼극형 전계 방출 에미터의 구조및 그 제조방법

요약

본 발명은 전계 방출 디스플레이(field emission display)용 전계 방출 에미터(field emitter)의 구조와 그 제조 방법에 관한 것이다. 본 발명에서는 나노튜브(nanotubes) 또는 나노와이어(nanowires) 등 나노구조(nanostructures)를 에미터로 사용한 삼극형 전계 방출 에미터(triode-type field emitter)의 구조와 제작법을 제시한다. 본 발명에서 제시한 삼극형 전계 방출 에미터를 하판으로 사용하고 형광체를 입힌 상판을 진공 패키징하면 고품질의 전계 방출 디스플레이를 제작할 수 있다. 나노구조로서 탄소, 질화붕소(Boron Nitride) 등으로 제조된 나노튜브나 질화갈륨(Gallium Nitride), 탄화규소(Silicon Carbide) 등의 물질로 제조된 나노와이어는 가로세로비(aspect ratio)가 큰 기하적인 구조를 가지므로 전계 방출원으로 유용하다. 특히 전계 방출 디스플레이의 음극으로 본 발명에서 제시한 삼극형 전계 방출 에미터 어레이를 구현할 경우, 저전압 구동 고휘도의 전계 방출 디스플레이를 제작할 수 있다.

대표도

도1

색인어

삼극형 전계 방출 에미터, 나노구조, 나노튜브, 나노와이어

명세서

도면의 간단한 설명

도1은 본 발명의 일 실시예에 따른 삼극형 전계 방출 에미터의 구조를 나타내는 단면도,
 도2a 내지 도2h는 도1의 구조를 제조하기 위한 방법을 나타내는 공정 단면도,
 도3은 본 발명의 다른 실시예에 따른 삼극형 전계 방출 에미터의 구조를 나타내는 단면도.
 도4a 내지 도4g는 도3의 구조를 제조하기 위한 방법을 나타내는 공정 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 10 : 기판 (substrate)
- 11 : 캐소드 전극(cathode electrode)
- 12 : 금속층
- 13 : 정렬된 나노구조(aligned nanostructures)
- 14 : 절연체(insulator)
- 15 : 게이트 전극(gate electrode)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계 방출 디스플레이(field emission display)용 전계 방출 에미터(field emitter)에 관한 것으로, 특히 나노튜브(nanotubes) 또는 나노와이어(nanowires) 등 나노구조(nano structures)를 에미터로 사용한 삼극형 전계 방출 에미터(triode-type field emitter)의 구조와 그 제조 방법에 관한 것이다.

잘 알려진 바와 같이, 전계 방출 디스플레이는 음극(cathode)인 전계 방출 에미터에 강한 전기장을 인가하여 전자를 전계 방출시키고, 전계 방출된 전자가 양극(anode)물질인 형광체를 여기시키는 음극발광(cathode luminescence)을 이용하는 표시 장치로서, 전계 방출 디스플레이 패널은 하판과 상판으로 구성되고, 하판에는 음극(cathode)인 전계 방출 에미터가 어레이되어 있고, 상판에는 형광체가 입혀진 양극(anode)이 형성된다.

전형적인 전계 방출 에미터는 전계 방출을 용이하게 하기 위해 수개에서 수 만개의 미세 팁(micro tip)으로 구성되어 있으며, 보통 금속이나 실리콘 등의 반도체물질을 이용하여 제작한다. 현재까지 금속이나 실리콘으로 제작된 전계 방출 에미터의 경우, 전자 방출의 균일성(uniformity)을 확보하기 위한 에이징(aging)과정이 필요하고, 장시간 전자를 방출할 경우 에미터 팁의 열화(degradation)가 발생하는 것으로 보고되고 있다.

한편, 탄소나 질화붕소(Boron Nitride) 등으로 이루어진 나노튜브(nanotube)와 질화갈륨(Gallium Nitride), 탄화규소(Silicon Carbide) 등의 나노와이어(nanowire) 또는 이들의 다발(bundle)은 가로세로 비(aspect ratio)가 큰 기하학적인 구조를 가지므로 그 자체가 나노미터 크기의 미세팁으로 사용될 수 있고, 특히 탄소 나노튜브의 경우 우수한 전기적, 기계적 특성을 가지기 때문에 최근 탄소 나노튜브를 전계 방출 물질로 사용하려는 시도가 있어 왔다.

탄소 나노튜브를 이용하여 전계 방출 에미터를 제작하는 종래의 방법은 미리 성장시킨 탄소 나노튜브와 실버 페이스트(silver paste) 등의 접착제를 혼합하여 기판에 용착시켜 어레이를 제작하는 프린트 방법과 화학 기상 증착법(chemical vapor deposition) 등을 이용하여 기판에 수직으로 정렬된 탄소 나노튜브를 증착하는 방법을 사용해 왔는데 모두 실제 전계 방출 디스플레이에 사용하기 어려운 이극형 구조(diode-type)를 가지고 있다.

이극형 전계 방출 에미터를 사용하는 전계 방출 소자는 제작이 용이한 반면 전계 방출을 위해 양극과 음극 사이에 수백~수천 V의 전압을 인가해야 하고 방출된 전류를 조절하기 위해서는 고전압을 사용할 수밖에 없어 실용적이지 않다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 저전압에서 구동 가능하며, 정렬된 나노구조를 갖는 삼극형 전계 방출 에미터를 제공하는 데 있다.

본 발명의 다른 목적은 이극형 전계 방출 에미터에 비해 그다지 큰 공정상의 복잡함을 도입하지 않고 삼극형 전계 방출 에미터를 구현할 수 있는 삼극형 전계 방출 에미터 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 안출된 본 발명의 삼극형 전계 방출 에미터는 절연성 기판; 상기 기판 상에 형성된 캐소드 전극; 상기 캐소드 전극 상에 정렬되어 형성된 에미터로서의 나노구조; 상기 나노구조를 이웃하는 나노구조와 전기적으로 분리하는 절연체; 및 상기 절연체 상에서 상기 나노구조의 상단부에 근접하여 형성된 게이트전극을 포함하여 이루어짐을 특징으로 한다.

상기 본 발명의 삼극형 전계 방출 에미터에서, 상기 나노구조와 상기 캐소드전극 사이에는 상기 나노구조의 선택적 성장을 위한 시드 금속층을 더 포함할 수 있으며, 상기 나노구조는 나노튜브 또는 나노와이어 또는 이들의 다발로 형성됨을 특징으로 한다.

또한, 본 발명의 전계 방출 디스플레이는, 기판에 정렬된 나노구조와, 상기 나노구조를 이웃하는 소자와 전기적으로 분리하는 절연층과, 및 상기 절연층 상에서 상기 나노구조의 상단부에 근접하여 형성된 게이트전극을 포함하는 삼극형 전계 방출 에미터를 음극으로 하고, 상기 나노구조로부터 발산된 전자에 여기되어 발광하는 형광체를 양극으로 구비하는 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 일특징적인 삼극형 전계 방출 에미터 제조방법은, 절연성 기판상에 캐소드 전극을 형성하는 제1단계; 상기 캐소드전극 상에 나노구조의 선택적 성장을 위한 금속층을 패터닝하는 제2단계; 상기 금속층 위에 공간적으로 선택적으로 나노구조를 성장시키는 제3단계; 결과물의 전면에 절연체와 게이트전극용 전도층을 형성하는 제4단계; 상기 나노구조 상단부의 상기 게이트 전극용 전도층을 선택적으로 제거하는 제5단계; 및 상기 게이트 전극용 전도층의 선택적 식각에 의해 드러나는 부위의 상기 절연체를 식각하여 나노구조를 노출시키는 제6단계를 포함하여 이루어진다.

상기 본 발명의 삼극형 전계 방출 에미터 제조방법에서, 바람직하게 상기 제5단계는 화학기계적연마 공정 또는 에치백 공정을 사용하는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위한 본 발명의 다른 특징적인 삼극형 전계 방출 에미터 제조방법은, 제1기판 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮으면서 소정부위가 오픈된 절연층을 형성하는 단계; 상기 절연층 상에 금속 분리층을 형성하는 단계; 상기 제1기판 전면에 나노구조의 시드(seed) 금속층을 물리적 증착하는 단계; 상기 금속층 상에 나노구조를 성장시키는 단계; 상기 금속분리층을 분리해 내는 단계; 그 표면에 캐소드전극이 형성된 제2기판을 준비하는 단계; 상기 나노구조와 상기 캐소드전극이 접하도록 상기 제1기판의 결과물 전면에 제2기판을 형성하는 단계; 상기 제1기판을 제거하여 상기 나노구조를 상기 제2기판으로 전이시키는 단계; 및 상기 시드 금속층을 제거하고 상기 게이트전극의 측벽이 드러나도록 상기 절연층을 일부 식각하는 단계를 포함하여 이루어진다.

상술한 바와 같이, 본 발명은 전계 방출 디스플레이용 전계 방출 에미터의 구조와 그 제조 방법에 관한 것으로서, 본 발명에서는 나노튜브 또는 나노와이어 등 나노구조를 에미터로 사용한 삼극형 전계 방출 에미터(triode-type field emitter)의 구조와 제작법을 제시한다. 본 발명에서 제시한 삼극형 전계 방출 에미터를 하판으로 사용하고 형광체를 입힌 상판을 진공 패키징하면 고품질의 전계 방출 디스플레이를 제작할 수 있다. 나노구조로서 탄소, 질화붕소(Boron Nitride) 등으로 제조된 나노튜브나 질화갈륨(Gallium Nitride), 탄화규소(Silicon Carbide) 등의 물질로 제조된 나노와이어는 가로세로비(aspect ratio)가 큰 기하적인 구조를 가지므로 전계 방출원으로 유용하다. 특히 전계 방출 디스플레이의 음극으로 본 발명에서 제시한 삼극형 전계 방출 에미터 어레이를 구현할 경우, 저전압구동 고효도의 전계 방출 디스플레이를 제작할 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도1에는 본 발명의 일 실시예에 따른 삼극형 전계 방출 에미터가 도시되어 있다. 도1에는 어레이된 다수의 에미터 중 어느 하나만을 도시한 것이다.

도1을 참조하면, 절연성 기판(10) 위에 캐소드 전극(11)이 형성되어 있고, 나노튜브나 나노와이어 또는 이들의 다발(bundle) 등의 나노구조를 선택적으로 성장시키기 위하여 미세 패턴된 금속층(12)이 상기 캐소드 전극(11) 상에 형성되어 있으며, 상기 금속층(12) 상에 전자 방출원으로서 일정한 방향으로 정렬된 나노구조(13)가 형성되어 있다. 그리고, 나노구조(13)를 이웃하는 나노구조와 전기적으로 분리하기 위하여 각 나노구조(13) 주위에는 절연체(14)가 형성되고, 절연체(14) 위에 게이트전극(15)이 형성되어 있다.

미세 패턴된 금속층(12)은 캐소드 전극(11)과 에미터인 나노구조(13)를 전기적으로 연결한다. 금속층(12)은

로 사용되는 물질로는 Ni, Co 또는 Fe 등과 이들의 합금을 사용할 수 있는데 나노구조(13)를 공간적으로 선택성있게 성장시키기 위해 필요하다. 금속층(12)을 미세 패터닝하는 이유는 삼극형 전계 방출 에미터 어레이에서 각 에미터에 해당하는 나노구조를 금속층(12) 위에 선택적으로 성장시켜 게이트 홀과 최대한 가까이 형성해서 저전압에서 전계 방출을 용이하게 하기 위해서이다. 특히 정렬된 탄소 나노튜브를 성장시킬 경우 이들 금속들이 시드(seed)가 되어 나노튜브 형태로 성장하기 때문에 반드시 필요하며, 에미터 물질에 따라 다양한 금속이 사용될 수 있다.

에미터로는 탄소뿐만 아니라 질화붕소(Boron Nitride) 등 나노튜브로 성장 가능한 모든 물질들과 질화갈륨(Gallium Nitride), 탄화규소(Silicon Carbide), 탄화티타늄(Titanium Carbide) 등 나노와이어로 성장 가능한 모든 나노구조들이 사용될 수 있다. 이는 나노튜브나 나노와이어 등 나노구조의 가로세로 비가 크기 때문에 에미터 물질의 전기적 특성에는 관계없이 나노물질의 기하학적인 구조에 의해 저전압에서도 전계 방출이 쉽게 일어날 수 있기 때문이다.

금속층(12) 위에 성장한 나노구조들은 주변의 절연체(14)에 의해 게이트 전극(15)이나 다른 에미터와 전기적으로 고립되어 있다. 게이트 전극(15)은 나노구조 에미터와 가까이 위치하며, 에미터 물질 위쪽으로 게이트 홀이 형성되어 있어 저전압에서도 전계 방출이 용이하게 일어날 수 있게 해준다.

상기 도 1의 구조를 갖는 삼극형 전계 방출 에미터를 제작하는 방법의 실시예들이 도 2a 내지 도 2h에 도시되어 있다.

도 2a는 절연성 기판(10) 위에 캐소드 전극(11)과, 미세 패터닝된 금속층(12)을 형성한 후의 단면이다.

이어서, 도 2b는 미세 패터닝된 금속층(12) 위에 공간적으로 선택적으로 나노구조(13)를 성장시킨다. 현재까지 나노튜브 구조로 성장 가능한 물질로는 탄소, 질화 붕소(Boron Nitride) 등이 보고되어 있지만, 흑연(graphite) 같은 층상구조(layered structure)를 가지는 대부분의 물질들은 나노튜브 구조를 가질 수 있기 때문에 사용 가능하다. 탄소 나노튜브를 적용하는 경우에는 화학 기상 증착법(chemical vapor deposition), 직류방전(DC arc discharge), 레이저 증착(laser evaporation), 열 분해법 등의 방법으로 기판에 수직으로 정렬된 나노튜브를 성장시킬 수 있다. 나노와이어 구조로 성장되는 질화갈륨(Gallium Nitride), 탄화규소(Silicon Carbide) 및 탄화티타늄(Titanium Carbide) 등은 주로 탄소 나노튜브를 모체(template)로 하여 나노튜브의 동공(pore) 속에서 성장되는 것으로 보고된 바 있다. 현재까지 독립적으로 정렬된 나노와이어 구조를 성장시키는 방법이 없지만, 정렬된 나노튜브나 다공성 실리콘(porous silicon), 제올라이트(zeolite) 등 동공을 가지는 물질을 모체(template)로 하여 상기의 질화갈륨 등을 상기 물질의 동공(pore) 속에서 성장시키면 수직으로 정렬된 나노와이어를 성장시킬 수 있다.

이어서, 도 2c는 결과물의 전면에 산화막 등 절연체(14)를 증착하고, 그 위에 게이트 전극(15)용 전도층을 입혔을 때의 단면도이다.

그 다음 공정으로 나노구조(13) 상단부의 게이트 전극(15)용 전도층을 선택적으로 식각하여 게이트 홀을 형성해야 하며, 이러한 선택적 식각 방법으로는 화학기계적연마(chemical mechanical polishing) 및 에치백(etch-back) 방법이 있는데, 이들은 자기 정렬된(self-aligned) 게이트 홀을 형성하게 한다.

도 2c의 상태에서 화학기계적연마 방법을 사용할 경우에도 2e에 도시된 바와 같이 게이트 홀이 형성된다. 이때 나노구조(13)와 게이트 전극(15)의 상단부 부분이 거의 동일한 위치를 갖도록 화학기계적연마를 하고 절연체(14)를 등방성 식각(isotropic etching)하면 도 2g처럼 삼극형 전계 방출 에미터가 생성된다.

에치백 공정을 이용하여 게이트 홀을 형성하는 공정은 도 2c의 상태에서 평탄화를 위해 도 2d처럼 결과물 전면에 감광막 또는 SOG(spin-on-glass)(16)를 입힌다. 이어서 감광막 또는 SOG(16)와, 절연체(14), 그리고 게이트 전극(15)을 에치백 공정을 이용하여 식각하면 도 2f와 같이 게이트 홀을 형성할 수 있다. 이때 감광막 또는 SOG(16), 절연체(14), 게이트 전극(15)의 식각 속도에 따라 게이트 홀의 크기와 모양, 위치 등을 조절할 수 있다. 이후의 공정으로 절연체(14)를 등방성 식각하면 도 2h와 같이 삼극형 전계 방출 에미터를 생성시킬 수 있다.

게이트 홀을 형성한 뒤 절연체(14)에 대한 등방성 식각 공정을 사용할 경우 나노구조(13) 주위의 절연 물질뿐 아니라 나노구조들 사이에 증착되었던 절연체도 식각될 것이고, 나노구조의 화학적인 안정성에 의해 에미터로서의 나노구조는 거의 영향을 받지 않는다.

상술한 바와 같이 본 발명의 일 실시예에서 제시한 삼극형 전계 방출 에미터 제조 방법은 기판상의 나노튜브나 나노와이어 또는 이들의 다발 등의 나노구조를 일정한 방향으로 정렬하고 화학기계적연마 또는 에치백 방법으로 자기정렬된 게이트 홀을 생성시켜 제작하므로, 이극형의 전계 방출 에미터에 비해 복잡한 공정을 도입하지 않고도 삼극형 전계 방출 에미터를 구현할 수 있다.

도 3은 본 발명의 다른 실시예에 따른 삼극형 전계 방출 에미터 구조를 도시하고 있다. 이 구조는 본 발명의

일 실시예와는 달리 나노구조를 성장할 때 수직적으로 성장시키는 방법을 사용하지 않고, 간단한 기판 전이 방법으로 나노구조를 정렬하는 방식에 의해 제조된 구조이다.

도3을 참고하면, 절연성 기판(32) 위의 캐소드 전극(38) 상에 일정한 방향으로 정렬된 나노구조(37)가 형성되고, 그 주위에 절연체(33)가 각 나노구조를 전기적으로 분리하기 위하여 형성되며, 절연체(33) 위에 게이트 전극(34)이 위치하고 있다.

도4a 내지 도4g는 상기 도3의 구조를 제조하기 위한 공정이 도시되어 있다.

먼저, 도4a에 도시된 바와 같이, 제1기판(31) 상에 금속막이 미세 패턴된 게이트전극(34)을 형성하고, 게이트전극(34)을 덮으면서 게이트전극(34) 간의 공간에서 오픈부를 갖는 절연층(33)을 형성한다.

이어서, 도4b를 참조하면, 절연체(33) 상에 금속 분리층(35)을 얇게 형성하고, 기판 전면에 물리적 증착 방법으로 나노구조 성장을 위한 시드(seed) 금속층(36)을 증착한다. 그러면, 금속 분리층(35) 상부와 및 절연체(33)의 오픈부 내에 시드(seed) 금속층(36)이 서로 분리되어 형성된다.

이어서, CVD(chemical vapor deposition), 직류아크방전(DC arc discharge), 레이저증착(laser evaporation), 열분해(thermal pyrolysis) 등의 방법으로 시드 금속층(36) 상에 나노구조(37)를 성장시킨다. 이때에는 본 발명의 일 실시예와 같이 수직적으로 나노구조가 형성되지 않아도 된다.

이어서, 도4c에 도시된 바와 같이, 금속 분리층(35)을 분리해 내고, 도4d에 도시된 바와 같이, 그 표면에 캐소드 전극(38)이 형성된 새로운 제2기판(32)을 증착 또는 접합시킨다. 이때 캐소드 전극(38)이 나노구조(37)와 접합되도록 하여야 한다.

이어서, 도4e에 도시된 바와 같이, 제1기판(31)에서 제2기판(32)으로의 전이를 위하여 제1기판(31)을 제거하고, 도4f에 도시된 바와 같이 나노구조(37) 끝에 붙어있는 시드 금속층(36)을 제거한다.

이어서, 도4g와 같이 게이트전극(34)의 측벽이 드러나게 하기 위해 절연층(33)을 선택적으로 에칭하면 최종적인 삼극형 전계방출어레이 구조를 얻을 수 있다.

상술한 바와 같이, 본 발명의 다른 실시예는 기판 전이 방법을 이용하여 기판상의 나노구조를 일정한 방향으로 정렬하여 제작할 수 있으며, 이극형의 전계방출어레이에 비해 그다지 큰 공정상의 복잡함을 도입하지 않고도 삼극형을 구현할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같은 본 발명의 삼극형 전계 방출 에미터는 종래의 방법으로 제작된 이극형 전계 방출 에미터에 비해 저전압구동이 가능하고, 금속이나 반도체로 만들어진 삼극형 전계 방출 에미터에 비해 전계 방출 특성이 우수하고 열화가 되지 않아 우수한 전계 방출 소자에 응용 가능하다.

또한, 본 발명의 방법으로 삼극형 전계 방출 에미터를 어레이할 경우 종래의 방법으로 제작한 것보다 단위 면적당 나노구조의 에미터를 수를 획기적으로 증가시킬 수 있어, 고집적 및 고휘도의 전계 방출 소자를 얻을 수 있다.

(57) 청구의 범위

청구항 1

삼극형 전계 방출 에미터에 있어서,

절연성 기판;

상기 기판 상에 형성된 캐소드 전극;

상기 캐소드 전극 상에 정렬되어 형성된 에미터로서의 나노구조;

상기 나노구조를 이웃하는 나노구조와 전기적으로 분리하는 절연체; 및

상기 절연체 상에서 상기 나노구조의 상단부에 근접하여 형성된 게이트전극을 포함하여 이루어진 삼극형 전계 방출 에미터.

청구항 2

제1항에 있어서,

상기 나노구조와 상기 캐소드전극 사이에 형성된 시드 금속층을 더 포함하는 것을 특징으로 하는 삼극형 전계 방출 에미터.

청구항 3

제1항에 있어서,

상기 나노구조는

나노튜브 또는 나노와이어 또는 이들의 다발로 형성됨을 특징으로 하는 삼극형 전계 방출 에미터.

청구항 4

제3항에 있어서,

상기 나노튜브는 탄소 또는 질화붕소이며, 상기 나노와이어는 질화갈륨 또는 탄화규소 또는 탄화티타늄 임을 특징으로 하는 삼극형 전계 방출 에미터.

청구항 5

삼극형 전계 방출 에미터 제조방법에 있어서,

절연성 기판상에 캐소드 전극을 형성하는 제1단계;

상기 캐소드전극 상에 나노구조의 선택적 성장을 위한 금속층을 패터닝하는 제2단계;

상기 금속층 위에 공간적으로 선택적으로 나노구조를 성장시키는 제3단계;

결과물의 전면에 절연체와 게이트전극용 전도층을 형성하는 제4단계;

상기 나노구조 상단부의 상기 게이트 전극용 전도층을 선택적으로 제거하는 제5단계; 및

상기 게이트 전극용 전도층의 선택적 식각에 의해 드러나는부위의 상기 절연체를 식각하여 나노구조를 노출시키는 제6단계

를 포함하여 이루어진 삼극형 전계방출 에미터 제조방법.

청구항 6

제5항에 있어서,

상기 제5단계는 화학기계적연마를 사용하는 것을 특징으로 하는 삼극형 전계방출 에미터 제조방법.

청구항 7

제6항에 있어서,

상기 화학기계적연마시, 상기 나노구조와 상기 게이트전극용 전도층의 상단부 부분이거의 동일한 위치를 갖도록 실시하는 것을 특징으로 하는 삼극형 전계방출 에미터 제조방법.

청구항 8

제5항에 있어서,

상기 제5단계는,

결과물 전면에 감광막 또는 SOG를 도포하는 단계; 및

상기 감광막 또는 SOG와, 상기 절연체 및 상기 게이트 전극용 전도층을 에치백하는 단계로 이루어짐을 특징으로 하는 삼극형 전계 방출 에미터 제조방법.

청구항 9

제5항, 제6항 또는 제8항중 어느 한 항에 있어서,

상기 나노구조는 나노튜브 또는 나노와이어로 성장시키는 것을 특징으로 하며, 상기 나노구조를 수직적으로 성장시키는 것을 특징으로 하는 삼극형 전계 방출 에미터 제조방법.

청구항 10

삼극형 전계 방출 에미터 제조방법에 있어서,
 제1기판 상에 게이트전극을 형성하는 단계;
 상기 게이트전극을 덮으면서 소정부위가 오픈된 절연층을 형성하는 단계;
 상기 절연층 상에 금속 분리층을 형성하는 단계;
 상기 제1기판 전면에 나노구조의 시드(seed) 금속층을 물리적 증착하는 단계;
 상기 금속층 상에 나노구조를 성장시키는 단계;
 상기 금속분리층을 분리해 내는 단계;
 그 표면에 캐소드전극이 형성된 제2기판을 준비하는 단계;
 상기 나노구조와 상기 캐소드전극이 접하도록 상기 제1기판의 결과물 전면에 제2기판을 형성하는 단계;
 상기 제1기판을 제거하여 상기 나노구조를 상기 제2기판으로 전이시키는 단계; 및
 상기 시드 금속층을 제거하고 상기 게이트전극의 측벽이 드러나도록 상기 절연층을 일부 식각하는 단계
 를 포함하여 이루어진 삼극형 전계방출어레이 제조방법.

청구항 11

전계 방출 디스플레이에 있어서,
 기판에 정렬된 나노구조와, 상기 나노구조를 이웃하는 소자와 전기적으로 분리하는 절연층과, 및 상기 절연층 상에서 상기 나노구조의 상단부에 근접하여 형성된 게이트전극을 포함하는 삼극형 전계 방출 에미터를 음극으로서 구비하고,
 상기 나노구조로부터 발산된 전자에 여기되어 발광하는 형광체를 양극으로서 구비하는 것을 특징으로 하는 전계 방출 디스플레이.

도면

도면1

$$R = \left(\frac{dI_D}{dV_{DS}} \right)^{-1} = \{2k(V_{GS} - V_T)\}^{-1}$$

도면2a

$$\frac{\Delta I}{I} = \left(\frac{\Delta R}{R + \Delta R} \right) / (1 + \alpha)$$

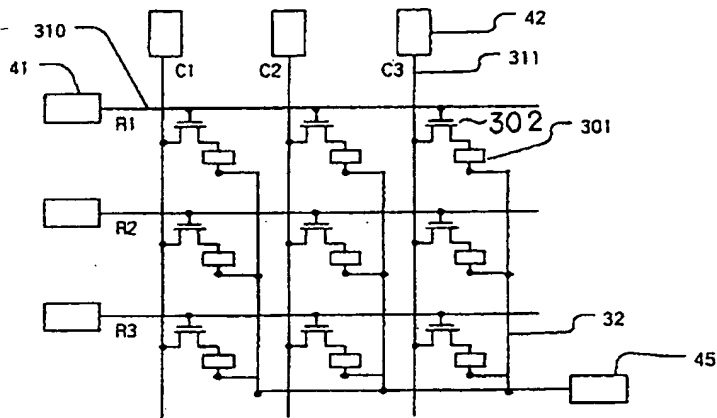
$$\alpha = \frac{r_e}{R + \Delta R}$$

$$r_e = \frac{dV}{dI_d}$$

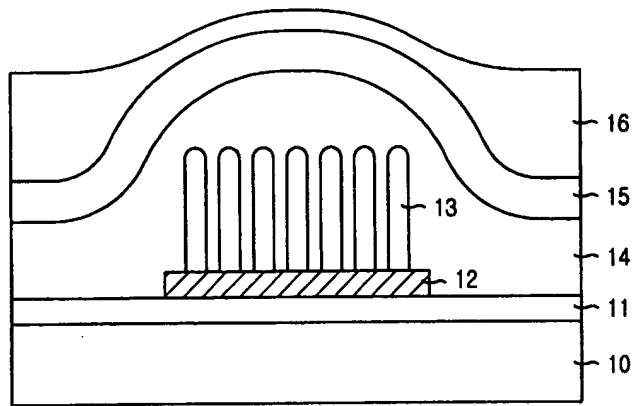
도면2b

$$\frac{\Delta I}{I} \leq \frac{1}{2} \left(\frac{\Delta R}{R + \Delta R} \right)$$

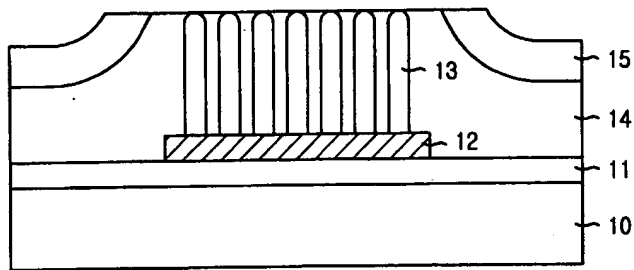
도면2c



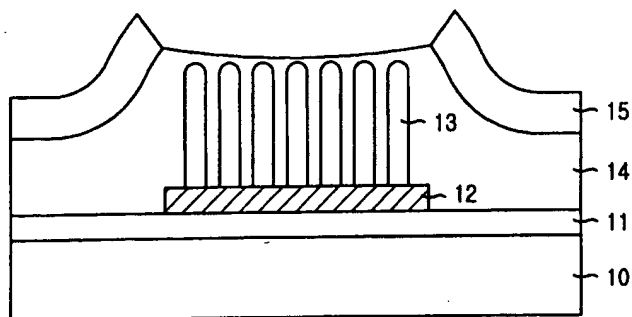
도면2d



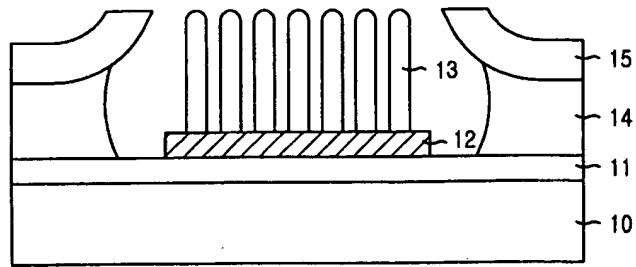
도면2e



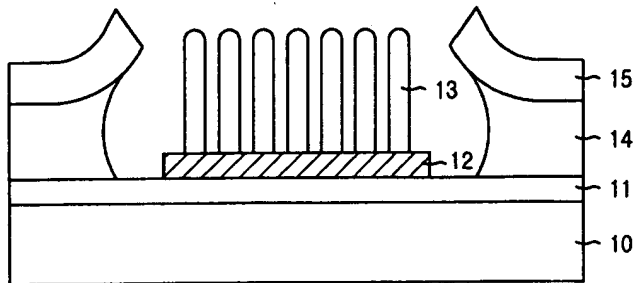
도면2f



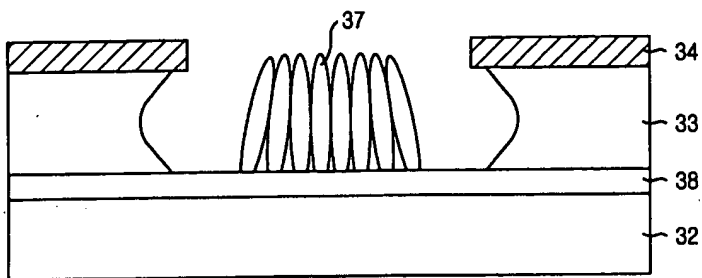
도면2g



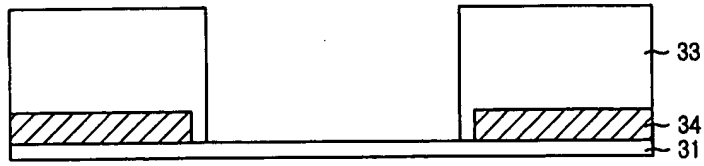
도면2h



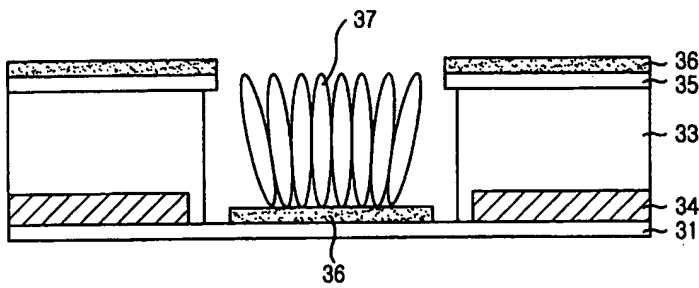
도면3



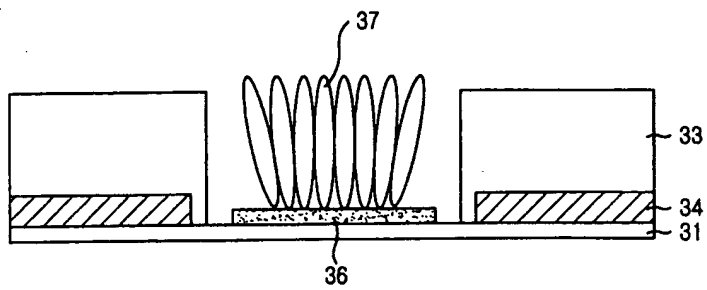
도면4a



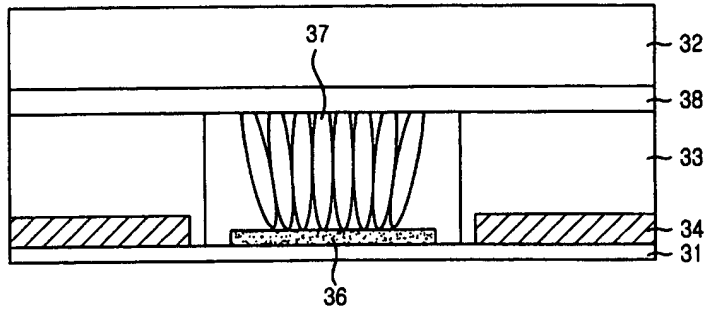
도면4b



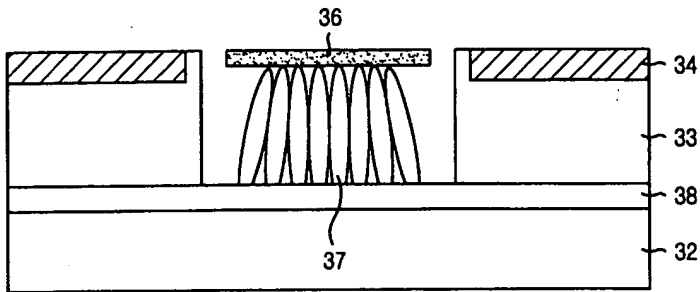
도면4c



도면4d



도면4e



도면4f

